

(19)

JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07066369 A**

(43) Date of publication of application: **10.03.95**

(51) Int. Cl.

H01L 27/04

H01L 21/822

H01L 21/314

H01L 21/316

H01L 21/8242

H01L 27/108

(21) Application number: **05210787**

(71) Applicant: **NEC CORP**

(22) Date of filing: **26.08.93**

(72) Inventor: **SUZUKI HIROSHI**

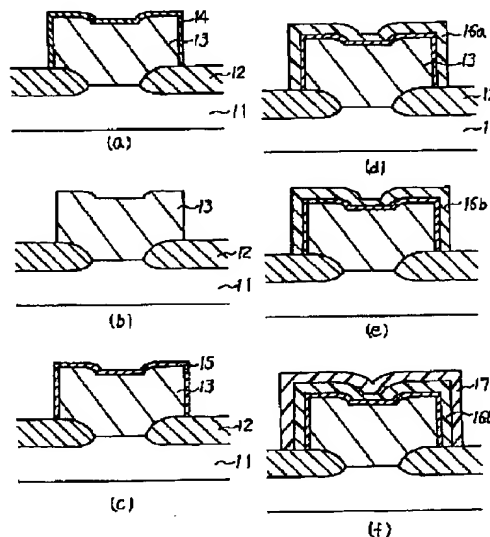
(54) **MANUFACTURE OF SEMICONDUCTOR DEVICE**

(57) Abstract:

PURPOSE: To provide a forming method for obtaining a tantalum oxide thin film, in order to improve leak current characteristics of a tantalum oxide film which is investigated about application to the memory capacitance part of a semiconductor device like a high density DRAM, and further to ensure storage charge amount while the capacitance part area is reduced.

CONSTITUTION: A silicon natural oxide film 14 on the surface of a polycrystalline silicon electrode as the lower part electrode of a memory capacitance part which is used in an ultra LSI like a DRAM is eliminated, tantalum oxide films 16a, 16b, ferroelectric material, are formed by a chemical vapor deposition method, and oxidized at 600 C or lower by using oxidation plasma, and then an upper electrode 17 wherein titanium nitride is used in at least the bottom part is formed, thereby completing a capacitance part.

COPYRIGHT: (C)1995,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-66369

(43) 公開日 平成7年(1995)3月10日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/04

21/822

21/314

A 7352-4M

8832-4M

7210-4M

H 0 1 L 27/ 04

C

27/ 10

3 2 5 J

審査請求 有 請求項の数 8 O L (全 5 頁) 最終頁に続く

(21) 出願番号

特願平5-210787

(22) 出願日

平成5年(1993)8月26日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 鈴木 博

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 弁理士 京本 直樹 (外2名)

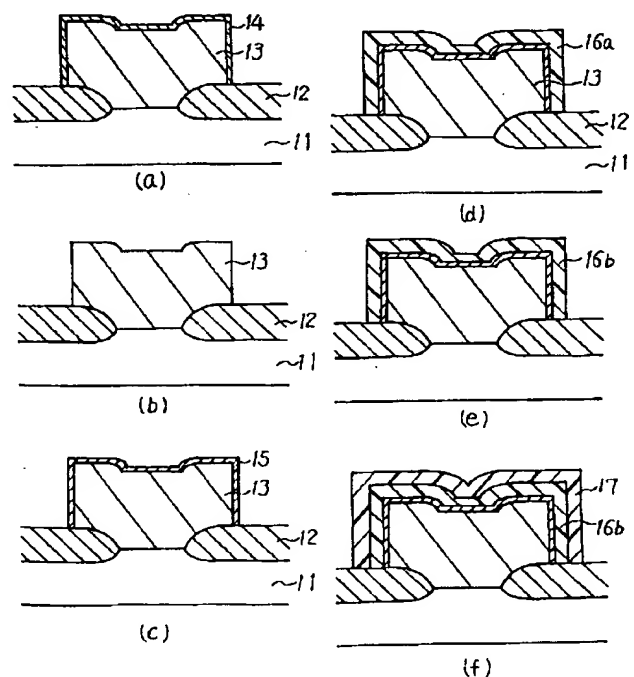
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

(修正有)

【目的】 高密度DRAM等の半導体装置のメモリ容量部への適用が検討されているタンタル酸化膜のリーク電流特性を改善し、さらに、容量部面積の縮小化が進むなかで蓄積電荷量を確保するために、タンタル酸化膜をより薄膜化するための形成方法を提供する。

【構成】 DRAM等の超LSIに用いられるメモリ容量部の下部電極である多結晶シリコン電極13表面のシリコン自然酸化膜14を取り除き、化学気相反応法により高誘電体であるタンタル酸化膜16を形成し、そのタンタル酸化膜を酸化プラズマを用いて、600℃以下で酸化処理した後、少なくとも底部が窒化チタンを用いた上部電極17を形成し容量部を完成させる。



【特許請求の範囲】

【請求項1】 DRAM等の超LSIに用いられるメモリ容量部の形成工程が、下部電極上に高誘電率を有する誘電体薄膜を形成する工程と、次いで、酸化雰囲気中で前記誘電体薄膜を熱処理する工程と、前記誘電体薄膜上に上部電極を形成する工程を含むことを特徴とする半導体装置の製造方法。

【請求項2】 前記下部電極には不純物を注入した多結晶シリコン膜を用いる。この多結晶シリコン膜表面に存在する自然酸化膜を、希釈フッ酸を用いて除去し、つづいて、アンモニアガスを用い、急速加熱方式により、多結晶シリコン層表面を窒化することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 前記誘電体薄膜はタンタル酸化膜からなり、有機系タンタル原料を用いた化学気相反応法により形成されることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項4】 前記熱処理は、酸化雰囲気中でのプラズマを用いて行われることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項5】 請求項4記載の熱処理は、基板温度を室温から600℃以下に保って行われることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項6】 請求項4記載の酸化雰囲気ガスとして、酸素(O₂)、亜酸化窒素(N₂O)、水分(H₂O)を含んだ酸素あるいは窒素ガス、または、これら数種類のガスを用いたプラズマ処理を行うことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項7】 請求項6記載の、水分を含んだ酸素あるいは窒素の水分添加量として、1から1000ppmの水分を含んだ酸素あるいは窒素を用いたプラズマ処理を行うことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項8】 前記上部電極には、少なくとも底部に窒化チタン膜を用いることを特徴とする請求項1の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置の製造方法に関し、特に、DRAM等に実用される高誘電率薄膜を有する半導体装置の製造方法に関する。

【0002】

【従来の技術】 近年、半導体装置の高集積化が目ざましく進んでいる。特に、DRAM等の超LSIメモリデバイスにおいては、高集積化のために、メモリ容量部面積の大幅な縮小化が要求されている。メモリ容量部面積を縮小すると、必然的にメモリ容量が減少する。しかし、α線によるソフトエラーを防止し、読み出し信号を確保するには、メモリ容量を減少させるわけにはいかない。そのため、これまで、メモリ容量部に用いている容量

膜を薄膜化したり、メモリ容量部の構造を立体化して、大きな面積を得たり、容量膜に用いていたシリコン酸化膜を、シリコン窒化膜に置き換えるなどして対処していたが、薄膜化や立体化は、そろそろ限界を迎えようとしている。

【0003】 そこで、メモリ容量部の蓄積電荷量を確保するために、従来より注目されているタンタル酸化膜が、DRAM等のメモリ容量部に適用できるかどうか検討されるようになった。というのは、タンタル酸化膜の比誘電率は約20で、シリコン酸化膜のおよそ5から6倍であるからである。タンタル酸化膜の形成には陽極酸化法、スパッタ法、蒸着法、化学気相成長法(CVD)等の方法がある。なかでも、化学気相成長法(CVD)を用いて形成したタンタル酸化膜は、優れたステップカバレッジ特性をもつ。しかし、その膜中は、酸素が不足した状態になりやすく、これがメモリ容量部のリーク電流の原因となる。従って、リーク電流を抑えるには、成膜後、何らかの酸化処理が必要となる。

【0004】 図5は、タンタル酸化膜を用いた、一般的なメモリ容量部形成方法の工程順断面図を示す。従来の技術では、図5(a)に示すような下部電極33上に、化学気相成長法(CVD)等により、タンタル酸化膜36aを形成する(図5(b))。次に、酸化処理として、通常、酸素雰囲気中で、700℃以上の高温熱処理を行う。この時、タンタル酸化膜は結晶化し、多結晶膜36bになる(図5(c))。しかるのち、図5(d)のような、上部電極37を形成し、容量部を完成させる。この方法で形成したメモリ容量部のリーク電流特性は、ある程度改善されている。しかし、成膜したタンタル酸化膜36aは、高温熱処理の際に、容易に結晶化する。結晶化したタンタル酸化膜36bには、結晶粒界や、温度ストレスあるいは格子欠陥に起因する亀裂や微小欠陥が生じ、これらがリーク電流のパスとなる。また下部電極33として不純物を注入した多結晶シリコン電極を用いた場合、タンタル酸化膜形成時にシリコン酸化膜34aが形成される。また、高温熱処理時には、下部電極まで酸化が及び、タンタル酸化膜と下部電極の界面に、シリコン酸化膜の厚い層34bが形成される。従って、容量は、タンタル酸化膜36bと、シリコン酸化膜34bとの合成容量となり、シリコン酸化膜に換算した容量膜厚(以下、SiO₂換算膜厚という)が増加し、メモリ容量は実質的に低減する。

【0005】

【発明が解決しようとする課題】 このように、従来の方法では、高温熱処理によるタンタル酸化膜の結晶化で発生した、結晶粒界や亀裂あるいは微小欠陥がリーク電流のパスとなり、リーク電流特性の飛躍的な向上は望めなかった。また、高温熱処理による酸化の行き過ぎで、タンタル酸化膜と下部電極の界面に、厚いシリコン酸化膜を形成し、その結果、SiO₂換算膜厚が増加し、実質

3

的なメモリ容量が低減してしまう

【0006】本発明の目的とするところは、従来の方法では解決が困難であった、タンタル酸化膜から成る容量部のリーク電流特性の改善と、 SiO_2 換算膜厚の増加を抑え、容量膜そのものの信頼性を向上させることである。

【0007】

【課題を解決するための手段】タンタル酸化膜は、650℃の熱処理で結晶化し、多結晶構造をとる。このとき発生した結晶粒界、亀裂、微小欠陥などがリーク電流のパスとなる。この考え方にに基づき、本発明は、タンタル酸化膜の結晶化が起らない温度（約600℃以下）に基板温度を維持し、成膜直後のアモルファス構造を保つことで、結晶粒界や亀裂や微小欠陥の発生を抑え、リーク電流特性の著しい改善を行うものである。また、酸化性プラズマ中の活性化種を用いて、タンタル酸化膜を十分酸化するとともに、酸化種が膜中深くに影響しないことを利用して、タンタル酸化膜と下部電極界面に、シリコン酸化膜が形成されることを防止し、 SiO_2 換算膜厚の増加を抑えることを特徴としている。

【0008】

【実施例】本発明の詳細を、実施例を示しながら説明する。図1は、本発明の実施例を説明するための工程順断面図である。図1(a)に示すように、まず、P型シリコン基板11上に、LOCOSにより素子分離領域12を形成する。次に、基板上11に、化学気相成長法により多結晶シリコン膜を堆積後、リン(P)を熱拡散により導入し、通常のリソグラフィと、エッチング技術によりスタック型多結晶シリコン下部電極13を形成する。このとき、下部電極表面には、シリコン自然酸化膜14が形成されている。このシリコン自然酸化膜14を、希釈フッ酸(DHF)を用いて洗浄し、除去する(図1

(b))。その後直ちに、下部電極表面に、アンモニアガスを用いて、約900℃、10分間の急速熱窒化(RTN)処理を施す。このとき、図1(c)のように、多結晶シリコン下部電極表面には、シリコン窒化膜15が形成される。シリコン窒化膜15は、この後の、タンタル酸化膜形成時や、タンタル酸化膜の酸化処理時に、タンタル酸化膜16aと下部電極13との界面で起こる酸化を抑え、シリコン酸化膜の形成を防止する役割を果たす。次に、原料ガスとしてタンタルペンタエトキシ($\text{Ta}(\text{OC}_2\text{H}_5)_5$)と、反応ガスとして酸素ガスを用い、減圧化学気相成長(LPCVD)法により、多結晶シリコン下部電極上に、膜厚約100オングストロームのタンタル酸化膜16aを形成する(図1(d))。その後、基板温度を600℃以下に保ち、酸素プラズマ雰囲気中で、タンタル酸化膜16aに酸化処理を施す。この時の処理温度は、タンタル酸化膜が結晶化する温度より低いので、酸素プラズマ処理のもと、タンタル酸化膜16bは、成膜直後と同じアモルファス状態を保って

4

る。次いで、タンタル酸化膜16b上に、反応性スパッタ法により、窒化チタン上部電極17(図1(e))を形成する。

【0009】上記説明においては、酸化雰囲気ガスとして酸素(O_2)を用いたが、亜酸化窒素(N_2O)、水分を含んだ酸素あるいは窒素、または、これら数種類のガスを用いた場合においても本発明の効果はある。

【0010】こうして完成されるメモリ容量部は、例えば、図2に示すようにスイッチング・トランジスタと組み合わせて、DRAM等に利用される。

【0011】さて、本実施例により形成した容量部のリーク電流特性を測定した結果を図3に示す。下部電極表面に急速熱窒化(RTN)処理を施した後、タンタル酸化膜を形成し、次に、酸素プラズマ中で、400℃、10分間の酸化処理を行った試料の特性は、図3(b)のようになる。同様に、下部電極表面をRTN処理した後、タンタル酸化膜を形成し、酸化性雰囲気中で、700℃以上の高温熱処理を施した試料の特性は、図3

(c)のようになる。これらの結果から、酸素プラズマ処理したものは、電圧(Vg)が約1.2(V)以上で、リーク電流が格段に小さいことがわかる。電流密度が $1 \times 10^{-8} (\text{A}/\text{cm}^2)$ の場合、容量部にかかる電圧は、700℃以上の酸素中高温熱処理したものは約1.3(V)であるのに対して、400℃の酸素プラズマ処理したものは約1.8(V)と、酸素プラズマ処理によってリーク電流特性が大幅に改善されている。また、図4に示すように、タンタル酸化膜形成後、無処理の試料(図4(a))の SiO_2 換算膜厚は約26.3(オングストローム)で、酸素プラズマ処理を行ったもの(図4(d))は約26.6(オングストローム)でほとんど増加しない。しかし、酸素中で、高温熱処理したもの(図4(c))は、下部電極表面をRTN処理し、窒化膜を形成したものにもかかわらず、下部電極とタンタル酸化膜の界面に、厚いシリコン酸化膜が形成されたため、 SiO_2 換算膜厚は32.4(オングストローム)に増加する。

【0012】

【発明の効果】以上説明したように本発明は、DRAM等の超LSIに用いられるメモリ容量部の形成工程に、多結晶シリコン下部電極表面のシリコン自然酸化膜を取り除く工程と、化学気相反応法により、高誘電率を有するタンタル酸化膜を形成する工程と、形成したタンタル酸化膜を、酸素プラズマを用いて、600℃以下で酸化処理する工程と、少なくとも、底部に窒化チタンを用いた上部電極を形成する工程を含む。

【0013】本発明では、タンタル酸化膜を、酸素プラズマを用いて、600℃以下で酸化処理するので、タンタル酸化膜はアモルファス状態に維持される。このため、リーク電流のパスとなる結晶粒界や亀裂や微小欠陥が発生しないので、メモリ容量部のリーク電流特性を著

しく向上することができる。また、本発明では、タンタル酸化膜と下部電極の界面に、厚いシリコン酸化膜が形成されないので、メモリ容量部の SiO_2 換算膜厚は増加せず、容量絶縁膜の薄膜化ができる。従って、リーク電流が少なく、蓄積電荷量が大きい半導体装置用のメモリ容量デバイスを製造することができる。

【図面の簡単な説明】

【図1】本発明の実施例を説明するための工程順断面図である。

【図2】上記実施例をDRAMセルに適用した例図である。

【図3】上記実施例の効果を説明するための、リーク電流特性を示すグラフである。

【図4】上記実施例の効果を説明するための、タンタル酸化膜の SiO_2 換算膜厚を示すグラフである。

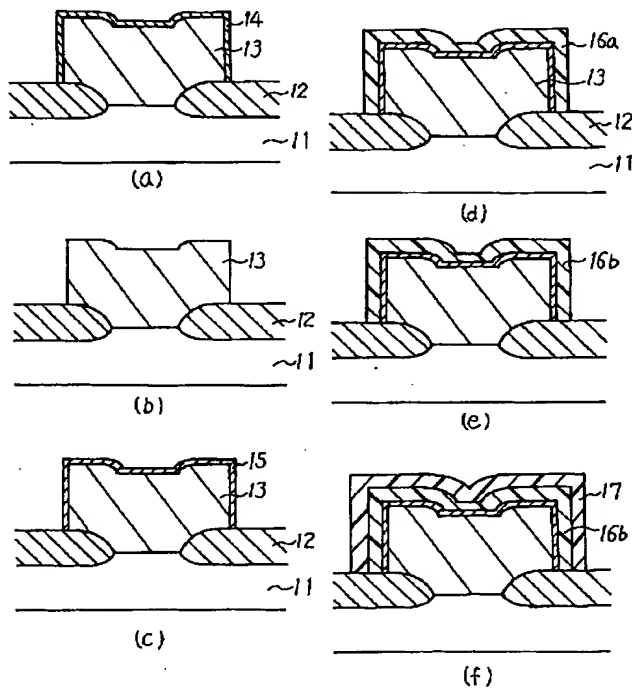
【図5】従来の半導体装置の製造方法を説明するための

工程順断面図である。

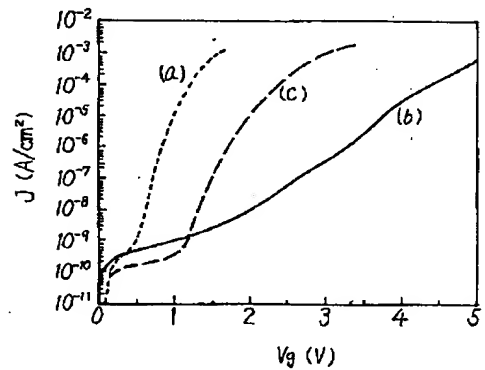
【符号の説明】

- 1 1、3 1 P型シリコン基板
- 1 2、3 2 素子分離領域
- 1 3、3 3 多結晶シリコン下部電極
- 1 4、3 4 a シリコン自然酸化膜
- 1 5 シリコン窒化膜
- 1 6 a、1 6 b、3 6 a、3 6 b タンタル酸化膜
- 1 7、3 7 上部電極
- 2 1 シリコン基板
- 2 2 素子分離領域
- 2 3 スタック型メモリ容量部
- 2 4 ビット線
- 2 5 a、2 5 b ワード線
- 2 6 スイッチング・トランジスタ

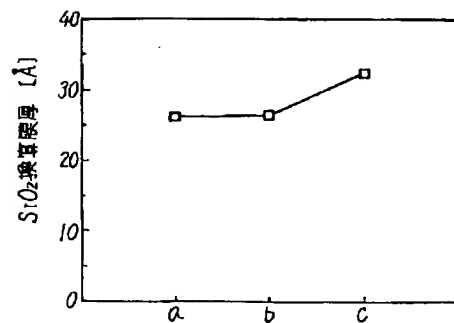
【図1】



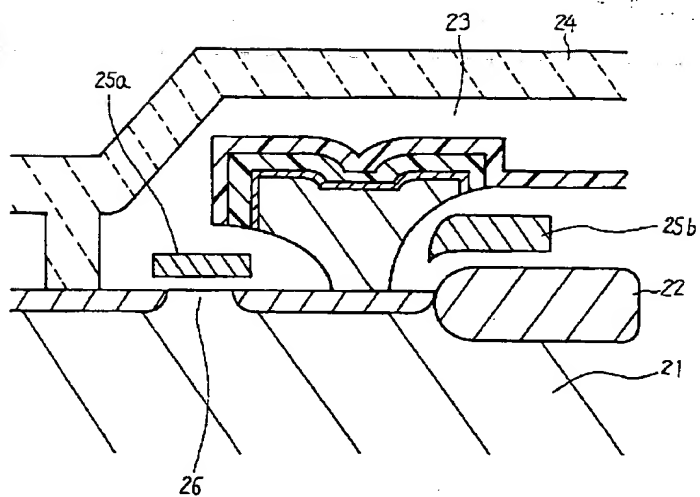
【図3】



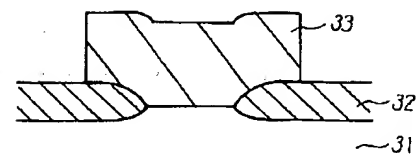
【図4】



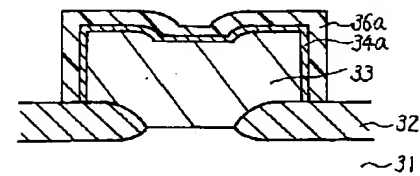
【図 2】



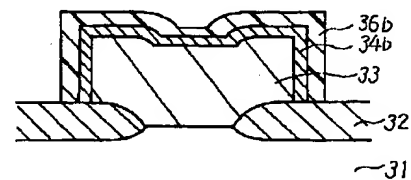
【図 5】



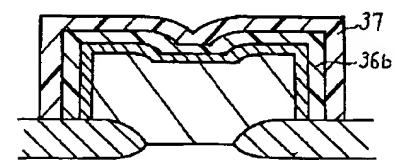
(a)



(b)



(c)



(d)

フロントページの続き

(51) Int. Cl. 6

H 0 1 L 21 316

21 8242

27 108

識別記号

庁内整理番号

F I

S 7352-4M

技術表示箇所

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.